

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-177490

(43)公開日 平成11年(1999)7月2日

(51)Int.Cl.
H 04 B 7/26
H 04 Q 7/38
// H 04 J 13/00

識別記号
102

F I
H 04 B 7/26
C
109 N
H 04 J 13/00
A

審査請求 未請求 請求項の数10 FD (全12頁)

(21)出願番号

特願平9-352472

(22)出願日

平成9年(1997)12月5日

(71)出願人 000127178

株式会社鷹山

東京都世田谷区北沢3-5-18

(72)発明者 周長明

東京都世田谷区北沢3-5-18鷹山ビル

株式会社鷹山内

(72)発明者 周旭平

東京都世田谷区北沢3-5-18鷹山ビル

株式会社鷹山内

(72)発明者 山本誠

東京都世田谷区北沢3-5-18鷹山ビル

株式会社鷹山内

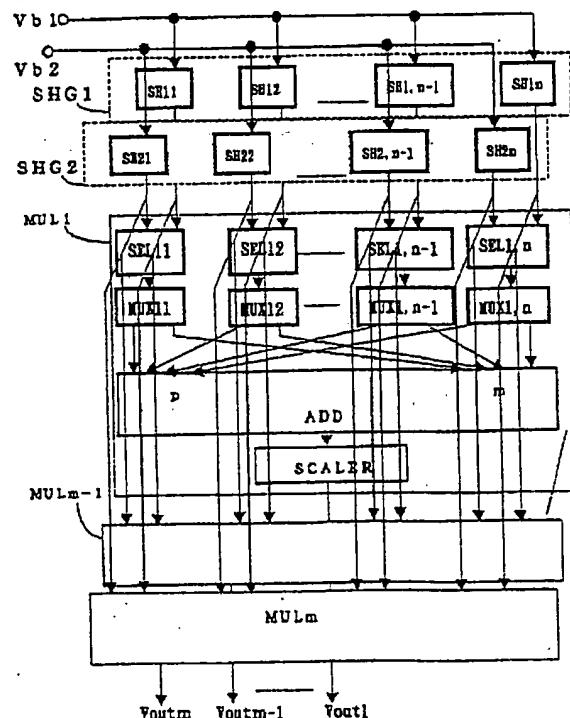
(74)代理人 弁理士 山本誠

(54)【発明の名称】 CDMAセルラ方式および信号受信装置

(57)【要約】

【目的】 信号受信装置を小型化する。

【構成】 SIR(信号電力対干渉電力比)、送信電力制御ピットの処理を外挿補間的に行う方式とする。信号受信装置は、逆拡散のためのマッチドフィルタにおいて、サンプルホールド回路の複数のマッチドフィルタバンクで共用し、かつこれらマッチドフィルタバンクを取り木チャンネル、トラフィックチャンネル両者に設定し得る共用バンクを設ける。



【特許請求の範囲】

【請求項1】 基地局から移動局への下り回線において、複数の基地局に対してこれら基地局の識別のためのロングコードを割当て、複数の移動局に対してこれら移動局を識別するためのショートコードを割当て、当該基地局のロングコードと送信先の移動局のショートコードを合成した合成コードによって送信信号を拡散し、この送信信号には送信電力制御ピットその他の制御信号を含めるとともに所定スロットの周期でパイロット信号を付加し、当該移動局は複数アンテナブランチの信号を受信し、止り木チャンネルについて複数のロングコードに対応した合成コードによる逆拡散、すなわち複数の基地局からの受信信号の逆拡散を行い、トライフィックチャンネルについて複数のショートコードに対応した合成コードによる逆拡散を行い、これら逆拡散された信号のマルチバスの位相検出、各バスの信号のフェージング補償を行った後、マルチバス信号をレーク合成し、レーク合成後の信号からSIR（信号電力対干渉電力比）を算出するCDMAセルラ方式において、前記各スロットにおけるSIRを、当該スロットの先頭のパイロットシンボルの同期検波、レーク合成結果のみに基づいて算出し；前記送信電力制御ピットを、その直前のパイロットシンボルからの参照信号のみに基き外挿補間し、同期検波、レーク合成後に復調、判定して、電力制御を行う；ことを特徴とするCDMAセルラ方式。

【請求項2】 前記マルチバスの位相が変化したとき、その複数シンボル後のスロットの先頭から新しいマルチバスの位相をフェージング補償およびレーク合成に反映し、前記位相の変化を反映したスロットの直前のスロットについては、当該スロットの先頭のパイロットシンボルのみに基づいて外挿補間によるフェージング補償を行いさらにレーク合成を行うことを特徴とする請求項1記載のCDMAセルラ方式。

【請求項3】 受信信号の複数の信号ブランチに対応した複数のサンプルホールド回路群と；これらサンプルホールド回路群に、それぞれ独立にかつ択一的に接続され、いずれか1個のサンプルホールド回路群に保持された信号に対して所定の拡散符号を乗じ、かつその乗算結果の和を算出するマッチドフィルタであって、止り木チャンネルに割り当てられた複数のマッチドフィルタよりなる止り木チャンネルグループ、トライフィックチャンネルに割り当てられた複数のマッチドフィルタよりなるトライフィックチャンネルグループ、および止り木チャンネル、トライフィックチャンネル両者に切替え可能なマッチドフィルタよりなる共用グループにグループ分けされたマッチドフィルタと；前記止り木チャンネルグループおよび共用グループの全てのマッチドフィルタから1個を選択して出力する複数の第1マルチブレクサと；前記トライフィックチャンネルグループおよび共用グループの全てのマッチドフィルタから1個を選択して出力する複数

の第2マルチブレクサと；前記第1マルチブレクサに対応して設けられ、各第1マルチブレクサの出力にそれぞれ接続された、複数の第1マルチバス信号・サンプルホールド回路と；前記第2マルチブレクサに対応して設けられ、各第2マルチブレクサの出力にそれぞれ接続された複数の第2マルチバス信号・サンプルホールド回路と；前記止り木チャンネルグループおよび共用グループの全てのマッチドフィルタの出力から信号電力を算出して電力のピークを検出し、このピークに基づいて前記第1マルチブレクサおよび第1マルチバス信号・サンプルホールド回路を制御する第1ピーク検出回路と；前記トライフィックチャンネルグループおよび共用グループの全てのマッチドフィルタの出力から信号電力を算出して電力のピークを検出し、このピークに基づいて前記第2マルチブレクサおよび第2マルチバス信号・サンプルホールド回路を制御する第2ピーク検出回路と；を備えたCDMAセルラ方式における信号受信装置。

【請求項4】 全ての第1マルチバス信号・サンプルホールド回路に接続され、これら第1マルチバス信号・サンプルホールド回路の出力を択一的に出力する第1マルチバス信号・マルチブレクサと；全ての第2マルチバス信号・サンプルホールド回路に接続され、これら第2マルチバス信号・サンプルホールド回路の出力を択一的に出力する第2マルチバス信号・マルチブレクサと；前記第1マルチバス信号・マルチブレクサの出力をデジタル信号に変換する第1A/D変換器と；この第1A/D変換器の出力を登録する第1メモリと；前記第2マルチバス信号・マルチブレクサの出力をデジタル信号に変換する第2A/D変換器と；この第2A/D変換器の出力を登録する第2メモリと；前記第1メモリに格納された出力をフェージング補償し、レーク合成する第1レーク合成回路と；前記第2メモリに格納された出力をフェージング補償し、レーク合成する第2レーク合成回路と；をさらに備えたことを特徴とする請求項3記載のCDMAセルラ方式における信号受信装置。

【請求項5】 第1A/D変換器は第1マルチバス信号・サンプルホールド回路よりも少ない個数設けられ、第1マルチバス信号・サンプルホールド回路の出力を時分割でデジタル信号に変換し、第2A/D変換器は第2マルチバス信号・サンプルホールド回路よりも少ない個数設けられ、第2マルチバス信号・サンプルホールド回路の出力を時分割でデジタル信号に変換することを特徴とする請求項4記載のCDMAセルラ方式における信号受信装置。

【請求項6】 第1レーク合成回路は受信信号を基地局ごとに時分割でフェージング補償し、レーク合成し、第2レーク合成回路は受信信号を異なる拡散符号ごとにフェージング補償し、レーク合成するようになっていることを特徴とする請求項4記載のCDMAセルラ方式における信号受信装置。

【請求項7】 拡散符号は最終段出力が初段に入力されたシフトレジスタよりなる演算シフトレジスタに格納され、演算レジスタの段数は各ブランチのサンプルホールド回路群におけるサンプルホールド回路の個数と等しく設定され、このサンプルホールド回路の個数の約数の個数の拡散符号を使用するときには、その拡散符号を繰返し前記シフトレジスタに格納し、マッチドフィルタの出力は、前記約数と等しい個数のデータを通過させる窓から出力され、この窓はサンプルホールド回路群におけるデータ入力タイミングに同期してシフトされ、マッチドフィルタはこの窓を通過したデータについての演算を行うことを特徴とする請求項4記載のCDMAセルラ方式における信号受信装置。

【請求項8】 トラフィックチャンネルグループおよび／または共用チャンネルグループにおける複数のマッチドフィルタは共通の合成コードの1シンボル周期以上シフトした拡散符号を使用し、これによって1シンボル以上遅延したマルチバスを検出し得るようになっていることを特徴とする請求項3記載のCDMAセルラ方式における信号受信装置。

【請求項9】 演算レジスタの段数をNとするとNは2のべき乗とされ、演算レジスタには、演算レジスタと同一段数の入力レジスタがスイッチ回路を介して接続され、スイッチ回路は、演算レジスタの($N/2+1$)段～N段までの入力を、入力レジスタの1段～($N/2$)段または($N/2+1$)段～N段に接続する第1階層マルチブレクサ、演算レジスタの($N/4+1$)段～($N/2$)段までの入力を、入力レジスタの1段～($N/4$)段または($N/4+1$)段～($N/2$)段に接続する第2階層マルチブレクサ、...、入力レジスタの($N/2^k$)段～(N/2^{k-1})段の入力を1段～(N/2^{k-1})段の入力として接続する。

【外1】

【外2】

2^{k-1}

)段の入力を1段～(N/2^{k-1})段の入力として接続する。

【外2】または(N/2^{k-1})段～(N/2^{k-1})段の入力を1段～(N/2^{k-1})段の入力として接続する。

【外1】+1)段～(N/2^{k-1})段の入力を1段～(N/2^{k-1})段の入力として接続する。

【外2】)段に接続する第k階層マルチブレクサ(kは自然数)によりなることを特徴とする請求項3記載のCDMAセルラ方式における信号受信装置。

【請求項10】 半導体集積回路上に形成され、アナログ処理部とデジタル処理部は別個の領域に配置されることを特徴とする請求項3記載のCDMAセルラ方式における信号受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CDMA (Code Division Multiple Access)

基地局間非同期セルラ方式に係り、特に複数の基地局に対してこれら基地局の識別のためのロングコードを割当て、複数の移動局に対してこれら移動局を識別するためのショートコードを割当て、基地局から移動局への下り回線においては、当該基地局のロングコードと送信先の移動局のショートコードを合成した合成コードによって送信信号を拡散し、この送信信号には送信電力制御ピットその他の制御信号を含めるとともに所定スロットの周期でパイロット信号を付加し、当該移動局は複数アンテナブランチの信号を受信し、止り木チャンネルについて複数のロングコードに対応した合成コードによる逆拡散を行い、トラフィックチャンネルについて複数のショートコードに対応した合成コードによる逆拡散、すなわち複数の基地局からの受信信号の逆拡散を行い、これら逆拡散された信号のマルチバスの位相検出、各バスの信号のフェージング補償を行った後、マルチバス信号をレーク合成し、レーク合成後の信号からSIR (信号電力対干渉電力比) を算出するCDMAセルラ方式およびその信号受信装置に関する。

【0002】 この種CDMAセルラ方式は、基地局および移動局の識別が可能であり、セル間にまたがった時間管理が不要なため、セル間非同期システムを実現する上で重要である。ここにセル間非同期システムは、GPSなどの時間同期システムに依存することなく、基地局システムが安価になる。また移動局の信号受信装置は、実用システム実現のために、合成コードの逆拡散の他に、マルチバスに対するフェージング補償、レーク合成の処理のみならず、初期セルサーチや周辺セルサーチのために複数の基地局の識別、評価を行うとともに、拡散率を可変として伝送速度を可変とし、通信速度の向上のためのマルチコード伝送にも対応する。

【0003】

【従来の技術】 このようなCDMAセルラ通信システムは信号受信装置が複雑かつ大規模なものになる可能性があり、移動局の特性として好ましいことではない。

【0004】

【発明が解決しようとする課題】 本発明はこのような背景のもとに創案されたもので、信号受信装置を小型化し得るCDMAセルラ方式、および同信号受信装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明に係るCDMAセルラ方式は、簡単な回路による処理の高速化を実現するため、SIR (信号電力対干渉電力比) の計算、および送信電力制御ピット復調のための受信データフェージング補償を外挿補間的に行う。また本発明に係る信号受信装置は、逆拡散のためのマッチドフィルタにおいて、サンプルホールド回路の複数のマッチドフィルタを共用し、かつこれらマッチドフィルタを止り木チャンネル、トラフィックチャンネル両者に設定し得る共用マッチド

フィルタを設け、これによって回路規模を小さくしている。

【0006】

【発明の実施の形態】次に本発明に係るCDMAセルラ方式およびその信号受信装置の一実施例を図面に基づいて説明する。

【0007】

【実施例】図1は、信号受信装置における、2アンテナブランチのダイバシティ受信に対応するマッチドフィルタを示し、2アンテナブランチの信号V_b1、V_b2に対応した2グループサンプルホールド回路群SHG1、SHG2が設けられている。これらサンプルホールド回路群はそれぞれ、n個のサンプルホールド回路SH11～SH1n、およびn個のサンプルホールド回路SH21～SH2nよりなる。各サンプルホールド回路群は複数のマッチドフィルタMUL1～MULmに並列接続され、各マッチドフィルタはいずれか一方のサンプルホールド回路群のデータを取り込み得る。このようにサンプルホールド回路を複数のマッチドフィルタで共用すれば、全てのマッチドフィルタについてサンプルホールド回路を設けた場合に比較して、サンプルホールド回路の個数を大幅に減少し得る。これは全体回路規模の縮小に寄与する。

【0008】各サンプルホールド回路群は、サンプルホールド回路間のデータ転送を行わず、順次いずれか1個のサンプルホールド回路が信号を取り込む方式を採用しており、転送誤差の発生を防止して、演算精度を高めている。

【0009】マッチドフィルタMUL1は、両サンプルホールド回路群における各サンプルホールド回路に対応した複数のセレクタSEL11～SEL1nを有し、各セレクタにはSHG1、SHG2の対応するサンプルホールド回路の出力が入力されている。例えばセレクタSEL11にはSH11およびSH21の出力が入力され、SEL11はこれら出力を2者择一的に選択出力する。

【0010】MUL1にはセレクタSEL11～SEL1nに対応した複数のマルチブレクサMUX11～MUX1nが設けられ、各マルチブレクサは対応するセレクタの出力を2系統の出力に振り分ける。マルチブレクサには拡散符号が入力され、この拡散符号に基づいて各マルチブレクサが切り替え制御される。各マルチブレクサの出力は加算回路ADDに入力され、加算回路ADDにはマルチブレクサの2出力系に対応した2系統の入力(図1ではp(正)とm(負)で示す。)が設けられている。加算回路ADDの出力はスケーラ回路SCALERに入力され、出力レベルの適正化が図られる。マッチドフィルタMUL2～MULmはMUL1と同様に構成されているので説明を省略する。図中V_{out}1～V_{outm}はマッチドフィルタMUL1～MULmの出力

である。

【0011】図2はマッチドフィルタのコントロールのためのレジスタを示す。サンプルホールド回路SH11～SH1n、SH21～SH2nはシフトレジスタSMPによりコントロールされ、SMPはSH11～SH1n、SH21～SH2nのそれぞれに対応したn個の1ビットデータを保有している。これらデータは1個の「1」のビットと、(n-1)個の「0」のビットよりもり、SMPの最終段はその初段に接続されている。すなわちSMPは「1」のビットをnビットの周期で循環させ、SMPのデータは対応するサンプルホールド回路に入力され、データ「1」が入力されたサンプルホールド回路が信号V_b1、V_b2を取込む。

【0012】各マッチドフィルタに供給される拡散符号は例えばレジスタPNSnのデータC1～Cnであり、レジスタはこれらデータを循環させる。前述のようにサンプルホールド回路群はデータ転送を行わずに、データを取り込むサンプルホールド回路におけるサンプリングクロックを生成するシフトレジスタが循環するので、拡散符号もこれに対応して循環される。

【0013】レジスタPNSnはnタップのマッチドフィルタにより拡散率nの逆拡散を行う場合であるが、nの約数のより小さい拡散率(例えばn=256に対して拡散率4)については、レジスタPNS4に示すように、4個の拡散符号C1～C4を繰返し格納する。

【0014】拡散率nの場合には、n個全てのマルチブレクサの出力を加算する必要があるが、より小さい拡散率(例えば4)については、最新の4個サンプルデータを含むマルチブレクサの出力のみを加算する必要がある。このため、マルチブレクサの出力はWn、W4で示す窓により出力幅が制限される。窓Wnは拡散率nに対応し、n個の「1」ビットよりもり、全てのマルチブレクサの出力が採用される。窓W4は4個の「1」の連続ビットと(n-4)個の「0」のビットよりもり、これらデータを循環させて、「1」のビットの位置のマルチブレクサの出力のみを採用する。これによって回路構成を変更することなく、全タップ数の約数の拡散率に適宜変更可能である。なお常に拡散率=全タップ数の場合にスイッチ回路を省略し得ることはいうまでもない。

【0015】図3はマッチドフィルタ以降の回路構成を示す。図3では理解を容易にするため、マッチドフィルタの個数は8個に限定してあり、2個のマッチドフィルタMUL01、MUL02を止り木チャンネルグループPchに割当て、4個のマッチドフィルタMUL21～MUL24をトラフィックチャンネルグループTchに割り当て、2個のマッチドフィルタMUL11、MUL12を共用グループCchに割り当てている。

【0016】グループPchおよびCchの4個の出力は4入力1出力のマルチブレクサMUXp1～MUXpsにそれぞれ入力され、各マルチブレクサはMUL0

1、MUL02、MUL11、MUL12の出力を択一的に出力する。各マルチブレクサMUXp1～MUXpSの出力にはマルチバス信号・サンプルホールド回路SHp1～SHpSがそれぞれ接続され、各サンプルホールド回路はPch、Cchで生じたピークを1個ずつ保持する。Pch出力はさらにピーク検出回路PDpに入力され、PDpは上記4個のマッチドフィルタの出力における相関ピークを検出し、その電力をソーティングして抽出すべきピークを選択し、選択されたピークの位相を登録する。PDpはサンプルホールド回路SHp1～SHpSに対するコントロール信号を出力し、このコントロール信号はデコーダDECpによりデコードされて、各サンプルホールド回路へのサンプリング信号が生成される。これによって、前記4個のマッチドフィルタの全部または一部についてピーク検出、選択が行われる。

【0017】グループTchおよびCchの6個の出力は6入力1出力のマルチブレクサMUXt1～MUXtRにそれぞれ入力され、各マルチブレクサはMUL21、MUL22、MUL23、MUL24、MUL11、MUL12の出力を択一的に出力する。各マルチブレクサMUXt1～MUXtRの出力にはマルチバス信号・サンプルホールド回路SHt1～SHtRがそれぞれ接続され、各サンプルホールド回路はTch、Cchで生じたピークを1個ずつ保持する。Tch、Cch出力はさらにピーク検出回路PDtに入力され、PDtは上記6個のマッチドフィルタの出力における相関ピークを検出し、その電力をソーティングして抽出すべきピークを選択し、選択されたピークの位相を登録する。PDtはサンプルホールド回路SHt1～SHtRに対するコントロール信号を出力し、このコントロール信号はデコーダDECtによりデコードされて、各サンプルホールド回路へのサンプリング信号が生成される。これによって、前記6個のマッチドフィルタの全部または一部についてピーク検出、選択が行われる。

【0018】共通グループCchは止り木チャンネル側、トラフィックチャンネル側のいずれにも適用でき、従ってトラフィックチャンネルは4～6チャンネルの範囲で可変であり、止り木チャンネルは2～4チャンネルの範囲で可変である。このように共通グループを設けてチャンネル数を可変としたので、通信形態の自由度を高めることができる。

【0019】各サンプルホールド回路SHp1～SHpS、SHt1～SHtRの出力には、A/D変換回路ADp1～ADpS、ADt1～ADtRにそれぞれ接続され、これらA/D変換回路によりデジタル信号に変換される。A/D変換回路ADp1～ADpSの出力はマルチバス信号・マルチブレクサMUX31に入力され、A/D変換回路ADt1～ADtSの出力はマルチバス信号・マルチブレクサMUX32に入力されている。こ

れらマルチブレクサMUX31、MUX32はサンプルホールド回路のデータを択一的に出力し、以後のフェージング補償およびレーク合成を時分割で実行させる。この時分割処理により、フェージング補償およびレーク合成のための回路は小規模となる。なおA/D変換回路ADp1～ADpSに替えて1個のA/D変換回路を設け、これを時分割で使用して、全てのサンプルホールド回路SHp1～SHpSの信号のデジタル化を行うことも可能であり、A/D変換回路ADt1～ADtRについても同様である。

【0020】MUX31は止り木チャンネルのピーク電力が生じた位相について、相関出力を順次メモリMEM31に格納し、それらのI相、Q相の信号はフェージング補償回路PC31によってフェージング補償される。フェージング補償された信号はレーク合成回路RCMB31に入力され、レーク合成出力Sout1が生成される。MUX32はトラフィックチャンネルのピーク電力が生じた位相について、相関出力を順次メモリMEM32に格納し、それらのI相、Q相の信号はフェージング補償回路PC32によってフェージング補償される。フェージング補償された信号はレーク合成回路RCMB32に入力され、レーク合成出力Sout2が生成される。

【0021】図4は図3のA/D変換器ADp1～ADpS、ADt1～ADtRの変形例を示し、止り木チャンネル側のA/D変換器をADpI、ADpQのみとし、トラフィックチャンネル側のA/D変換器をADtI、ADtQのみとしている。ADpI、ADpQはマルチブレクサpMUXI、pMUXQをそれぞれ介して止り木チャンネルの全てのサンプルホールド回路SHp1～SHpSに接続され、ADtI、ADtQはマルチブレクサtMUXI、tMUXQをそれぞれ介してトラフィックチャンネルの全てのサンプルホールド回路SHt1～SHtSに接続されている。ADpIは、サンプルホールド回路SHp1～SHpSについて時分割で同相成分(I成分)をA/D変換し、ADpQは、同サンプルホールド回路について時分割で直交成分(Q成分)をA/D変換する。これによってA/D変換器の個数は減少し、回路規模が小さくなる。同様にトラフィックチャンネルではADtI、ADtQによりI成分、Q成分のA/D変換をそれぞれ実行し、回路規模を小さくしている。なお1個のA/D変換器のみによってI成分、Q成分の両者をA/D変換することも可能である。

【0022】図5は図3の回路の動作を説明するためのタイミングチャートであり、MUL01、MUL02、MUL11、MUL12による止り木チャンネルの処理を示す。あるシンボル周期において、これらのマッチドフィルタのいずれかで合計5個のマルチバス信号(相関ピーク:「ピーク」で示す。)が生じたとき、サンプルホールド回路SHp1～SHpSのうちの5個を用いて

そのサンプルホールド（S/Hで示す。）が行なわれる。これらサンプルデータは逐次メモリMEM31に格納される（「メモリ」で示す。）。これよりも1シンボル周期遅れて格納データに対するフェージング補償、さらに1シンボル周期遅れてレーク合成が行なわれる。

【0023】図6に示すように、図1のマルチブレクサMUX11～MUX1nに対する拡散符号は演算レジスタCAL-REGに格納され、マルチブレクサに対するコントロール信号CR1～CRnが生成される。拡散コードはあるシンボル周期の終了時点で1瞬で別個の符号に入れ替えることがあり、このため次のシンボル周期で使用する符号はあらかじめ入力レジスタINP-REGに格納しておく。また拡散符号は短いコードが繰り返し使用されることもあり、入力レジスタから演算レジスタへのデータ転送はスイッチ回路REG-MUXを介して行なわれる。符号の繰り返し使用に際しては、入力レジスタには1シンボル分の符号のみ入力され、この符号を演算レジスタの複数箇所に分散させて符号の繰り返しを実現する。

【0023】図7はスイッチ回路の構成を示し、前記n=256として説明している。図中縦線は入力レジスタ（下側）から演算レジスタ（上側）に至る配線を示し、配線に付された番号は0～255の配線の番号である。配線128番～255番には複数の128個の2入力1出力マルチブレクサを並列してなるマルチブレクサMUX61が接続され、MUX61は、入力レジスタの128～255番出力を演算レジスタの128～255番入力に導き、あるいは入力レジスタの0～127番出力を演算レジスタの128～255番入力に導く。すなわちMUX61を入力レジスタの0～127番に接続すると、入力レジスタの0～127番出力が演算レジスタの0～127番および128～255番に振り分けられる。

【0024】MUX61よりも入力レジスタ寄りの位置で、配線64番～127番に64個の2入力1出力マルチブレクサを並列したマルチブレクサMUX62が接続され、MUX62は、入力レジスタの64～127番出力を演算レジスタの64～127番入力に導き、あるいは入力レジスタの0～63番出力を演算レジスタの64～127番入力に導く。すなわちMUX61を入力レジスタの0～127番に接続した状態で、MUX62を入力レジスタの0～63番に接続すると、入力レジスタの0～63番出力が演算レジスタの0～63番、64～127番、128～191番および192～255番に振り分けられる。

【0025】MUX62よりも入力レジスタ寄りの位置で、配線32番～63番には32個の2入力1出力マルチブレクサを並列してなるマルチブレクサMUX63が接続され、MUX63は、入力レジスタの32～63番出力を演算レジスタの32～63番入力に導き、あるい

は入力レジスタの0～31番出力を演算レジスタの32～63番入力に導く。すなわちMUX61を入力レジスタの0～127番に接続し、MUX62を入力レジスタの0～63番に接続した状態で、MUX63入力レジスタの0～31番に接続すると、入力レジスタの0～31番出力が演算レジスタの0～31番、32～63番、64～95番、96～127番、128～159番、160～191番、192～223番および224～255番に振り分けられる。

【0026】MUX63よりも入力レジスタ寄りの位置で、配線16番～31番には16個の2入力1出力マルチブレクサを並列してなるマルチブレクサMUX64が接続され、MUX64は、入力レジスタの16～31番出力を演算レジスタの16～31番入力に導き、あるいは入力レジスタの0～15番出力を演算レジスタの16～31番入力に導く。すなわちMUX61を入力レジスタの0～127番に接続し、MUX62を入力レジスタの0～63番に接続し、MUX63を入力レジスタの0～31番に接続した状態で、MUX64を入力レジスタの0～15番に接続すると、入力レジスタの0～15番出力が演算レジスタの0～15番、16～31番、32～47番、48～63番、64～79番、80～95番、96～111番、112～127番、128～143番、144～159番、160～175番、176～191番、192～207番、208～223番、224～239番および240～255番に振り分けられる。

【0027】MUX64よりも入力レジスタ寄りの位置で、配線8番～15番には8個の2入力1出力マルチブレクサを並列してなるマルチブレクサMUX65が接続され、MUX65は、入力レジスタの8～15番出力を演算レジスタの8～15番入力に導き、あるいは入力レジスタの0～7番出力を演算レジスタの8～15番入力に導く。すなわちMUX61を入力レジスタの0～127番に接続し、MUX62を入力レジスタの0～63番に接続し、MUX63を入力レジスタの0～31番に接続し、MUX64を入力レジスタの0～15番に接続した状態で、MUX65を入力レジスタの0～7番に接続すると、入力レジスタの0～7番出力が演算レジスタの0～7番、8～15番、16～23番、24～31番、32～39番、40～47番、48～55番、56～63番、64～71番、72～79番、80～87番、88～95番、96～103番、104～111番、112～119番、120～127番、128～135番、136～143番、144～151番、152～159番、160～167番、168～175番、176～183番、184～191番、192～199番、200～207番、208～215番、216～223番、224～231番、232～239番、240～247番および248～255番に振り分けられる。

【0028】MUX 65よりも入力レジスタ寄りの位置で、配線4番～7番に4個の2入力1出力マルチブレクサを並列してなるマルチブレクサMUX 66が接続され、MUX 66は、入力レジスタの4～7番出力を演算レジスタの4～7番入力に導き、あるいは入力レジスタの0～3番出力を演算レジスタの4～7番入力に導く。すなわちMUX 61を入力レジスタの0～127番に接続し、MUX 62を入力レジスタの0～63番に接続し、MUX 63を入力レジスタの0～31番に接続し、MUX 64を入力レジスタの0～15番に接続し、MUX 65を入力レジスタの0～7番に接続した状態で、MUX 66を入力レジスタの0～3番に接続すると、入力レジスタの0～3番出力が演算レジスタの0～3番、4～7番、8～11番、12～15番、16～19番、20～23番、24～27番、28～31番、32～35番、36～39番、40～43番、44～47番、48～51番、52～55番、56～59番、60～63番、64～67番、68～71番、72～75番、76～79番、80～83番、84～87番、88～91番、92～95番、96～99番、100～103番、104～107番、108～111番、112～115番、116～119番、120～123番、124～127番、128～131番、132～135番、136～139番、140～143番、144～147番、148～151番、152～155番、156～159番、160～163番、164～167番、168～171番、172～175番、176～179番、180～183番、184～187番、188～191番、192～195番、196～199番、200～203番、204～207番、208～211番、212～215番、216～219番、220～223番、224～227番、228～231番、232～235番、236～239番、240～243番、244～247番、248～251番および252～255番に振り分けられる。

【0029】このように、MUX 61～MUX 66を順次0番側の配線に切り替えていけば、より短い符号の多分岐に対応し得る。なおこの構成はこの実施例に限定されるものではなく、 n が2のべき乗の任意のレジスタ間での約数長符号に対する多分岐転送に拡張可能である。このときマルチブレクサは全配線の半数、その半数、さらにその半数というように入力レジスタの出力に接続され、これを0番側の全ての配線に接続する。

【0030】図8において、前記サンプルホールド回路SH1は入力電圧V_{i4}（図1のV_{b1}またはV_{b2}に対応）が接続されたスイッチSW43と、このスイッチSW43に接続された入力キャパシタンスC42、この入力キャパシタンスに接続された反転増幅回路INV4、この反転増幅回路の出力を入力に接続する帰還キャパシタンスC41を有し、SW43が閉成状態から開放

状態に移行したときにV_{in}を保持する。INV4にはC41と並列にその入出力に接続されたリフレッシュスイッチSW42が接続され、C42の入力には基準電圧V_{ref}を接続するリフレッシュスイッチSW44が接続されている。基準電圧はINV4の閾値電圧と等しく、INV4の入力は常にV_{ref}であるため、SW44閉成時にはC42の両端が同電位となってその電荷が解消される。SW42を開成したときはC41の両端が短絡されるため、C42の電荷が解消される。さらにINV4の入力にはグランドに接続されたスイッチSW41が接続され、SW41を開成し、SW42を開放するとINV4の入力はグランドに接続され、INV4を構成するCMOSが飽和領域に移行し、電力消費が停止する。

【0031】図9において、前記スイッチSW41は入力電圧V_{in5}に対してpMOS、nMOSを並列接続してなるトランジスタ回路T5と、このトランジスタ回路の出力に接続され、pMOS、nMOSを並列接続しかつその入出力を短絡させたダミートランジスタ回路DT5となり、T5およびDT5のゲートにはCLK0およびその反転が制御信号として入力されている。制御信号は、インバータI5によって、T5のpMOSとnMOSについて相互に反転され、DT5のnMOSとpMOSについて相互に反転されている。

【0032】図10において、マルチブレクサMUX1は1対のマルチブレクサMUX91、MUX92よりもなり、MUX91は入力電圧V_{in9}（サンプルホールド回路SH1の出力）、基準電圧V_{ref}にそれぞれ接続された1対のCMOSスイッチT911、T912よりもなる。一方MUX92は入力電圧V_{in9}（サンプルホールド回路SH1の出力）、基準電圧V_{ref}にそれぞれ接続された1対のCMOSスイッチT922、T921よりもなる。T911、T922にはV_{in9}が接続され、T912、T921にはV_{ref}が接続されている。

【0032】MUX91、MUX92の制御信号はプリ制御信号Pctにより生成され、PctはバッファB91、B92よりもなるバッファ回路に入力されて遅延したプリ制御信号pct'となる。バッファ回路の入出力はNORゲートG91およびANDゲートG92に入力されており、G91の出力はインバータ回路I91に入力され、G92の出力はインバータ回路I92に入力されている。

【0033】T911は、nMOSのゲートにG91出力が、pMOSのゲートにI91の出力が入力され、一方T912は、nMOSのゲートにI92の出力が、pMOSのゲートにG92の出力が入力されている。G91の出力は、V_{in9}を前記加算回路の正の経路の出力V_{op}として出力させる第1制御信号ct1であり、G92出力はV_{ref}をV_{op}として出力させるための第

2制御信号ct2となる。T922は、pMOSのゲートにG91出力が、nMOSのゲートにI91の出力が入力され、一方T921は、pMOSのゲートにI92の出力が、nMOSのゲートにG92の出力が入力されている。G91の出力は、Vin9を前記加算回路の負の経路の出力Vomとして出力させる第1制御信号ct1であり、G92出力はVrefをVomとして出力させるための第2制御信号ct2となる。なおMUX9.1、MUX9.2は第1、第2制御信号に対するnMOS、pMOSの接続が逆転しており、Vop=Vin2のときにはVom=Vrefであり、Vom=Vin9のときにはVop=Vrefとなる。

【0034】図11はトライフィックチャネルにおける1シンボル周期以上の遅延を含むマルチバスを処理するための拡散符号の設定の例を示す。ここでは2個のマッチドフィルタMUL2.1、MUL2.2が使用され、合成コードの(k-1)番目の1シンボル周期の拡散符号PNk-1がMUL2.1の演算レジスタCAL-REG2.1にロードされ、k-2番目の拡散符号PNk-2がMUL2.2の演算レジスタCAL-REG2.2にロードされている。MUL2.1によるマルチバス検出は1シンボル周期以内の遅延の範囲内に限られるが、MUL2.2に1シンボル周期遅延した拡散符号を設定すれば、MUL2.2によって1シンボル周期以降のマルチバス信号を検出し得る。同様により多くのマッチドフィルタに順次シフトした拡散符号を設定すればより長期間の遅延に対応し得る。

【0035】図12はフェージング補償前の受信信号の例を示す。この受信信号にはデータ信号Skの前にバイロットシンボルPkが付加され、同様にSk+1に対してPk+1、Sk+2に対してPk+2...が付加されている。バイロットシンボルはデータ信号に対するフェージング補償等に使用され、通常データ信号の前後のバイロットシンボルを用いて内挿補間的（図中実線矢印で示す。）にフェージング補償等が行なわれる。しかしながらSIR（信号電力対干渉電力比）やデータ信号に含まれる送信電力制御ビットは極めて高速に処理してその後の制御に使用する必要があり、このため図12の破線矢印で示すように先行するバイロットシンボルのみで外挿補間にデータ信号を処理する。

【0036】ここにSIRの計算は以下のように実行される。まず固定のシンボルパターン $\alpha(i)$ 、振幅A(i)、雑音および干渉成分n(i)、初期位相残留誤差θとして、レーク合成後のバイロットシンボルは式(1)のように表現される。このバイロットシンボルパターンを既知のバイロットシンボルパターンによりバイロットシンボルの変調効果を除去しつつ、信号平均AVを式(2)のように算出する。同式(2)に示すように、信号平均AVからそのI成分AVi、Q成分AVqが得られる。以上から信号電力Ps、干渉電力PIが式(3)、(4)のように求められる。SIRは信号電力と干渉電力の比であり、式(5)で表現される。

【数1】

$$Pc(i) = A(i) \cdot e^{j(\alpha(i)+\theta)} + n(i) \quad \text{式 (1)}$$

$$AV = \frac{1}{Np} \sum_{i=1}^{Np} P(i) \cdot e^{-j\alpha(i)} = AVi + jAVq$$

式 (2)

$$Ps = |AV|^2 = (AVi)^2 + (AVq)^2$$

式 (3)

$$PI = \frac{1}{Np} \sum_{i=1}^{Np} |P(i) \cdot e^{-j\alpha(i)} - AV|^2$$

式 (4)

$$SIR = \frac{Ps}{PI}$$

式 (5)

【0037】同様の処理はマルチバスの位相が変化した際にも必要である。このときデータ信号に後続するパイロットシンボルは先行するパイロットシンボルとは同列には扱うことができず、両者を用いた内挿補間には非常に複雑な回路を要する。そこで先行するパイロットシンボルによる外挿補間を行ったところ、回路規模を拡大せずに比較的良好なフェージング補償が実現できた。

【0038】図13において、前記加算回路ADDは「正」の入力電圧V_{o11p}～V_{o1np}がそれぞれ入力されるキャパシタンスC_{p1}～C_{pn}、「負」の入力電圧V_{o11m}～V_{o1nm}がそれぞれ入力されるキャパシタンスC_{m1}～C_{mn}を有し、C_{p1}～C_{pn}、C_{m1}～C_{mn}はそれぞれ出力が統合されて容量結合

(「正」の側の容量結合を第1容量結合、「負」の側の

容量結合を第2容量結合という)が構成されている。第1容量結合の出力は奇数段直列のCMOSよりなるインバータINV71に接続され、INV71の出力は帰還キャパシタンスCF71によってその入力に接続され、INV71は第1容量結合の出力の反転を良好な線形特性により出力する。第2容量結合の出力は奇数段直列のCMOSよりなるインバータINV72に接続され、INV72の出力は帰還キャパシタンスCF72によってその入力に接続されている。INV72の入力にはINV71の出力が中間キャパシタンスCC7を介して接続され、INV72は第1容量結合の出力の反転と第2容量結合の出力を統合する。この統合結果はCC7=CF71とすると、式(6)に示すとおりである。

【数2】

$$V_{out6} = \frac{\sum_{i=1}^n C_{pi} \cdot V_{o1ip} - \sum_{j=1}^m C_{mi} \cdot V_{o1im}}{CF72} + Vd$$

式 (6)

【0039】

【発明の効果】前述のとおり、本発明に係るCDMAセルラ方式は、簡単な回路による処理の高速化を実現するためSIR(信号電力対干渉電力比)、送信電力制御ピットの処理を外挿補間的に行い、また本発明に係る信号

受信装置は、逆拡散のためのマッチドフィルタにおいて、サンプルホールド回路の複数のマッチドフィルタで共用し、かつこれらマッチドフィルタを止り木チャンネル、トラフィックチャンネル両者に設定し得る共用マッチドフィルタを設け、これによって回路規模を小さくし

たので、信号受信装置が小型化であるという優れた効果を有する。

【図面の簡単な説明】

【図1】 本発明に係る信号受信装置の一実施例におけるマッチドフィルタを示すブロック図である。

【図2】 同マッチドフィルタのコントロールのためのレジスタを示すブロック図である。

【図3】 同実施例のマッチドフィルタおよびその後段の回路を示すブロック図である。

【図4】 図3におけるA/D変換器の変形例を示すブロック図である。

【図5】 マッチドフィルタおよびその後段の回路の動作を示すタイミングチャートである。

【図6】 マッチドフィルタにおける拡散符号を格納するための演算レジスタおよびそれに付随する回路を示すブロック図である。

【図7】 図6の回路におけるマルチブレクサを示すブロック図である。

【図8】 図1における1個のサンプルホールド回路を示す回路図である。

【図9】 図8におけるスイッチを示す回路図である。

【図10】 図1のマルチブレクサを示す回路図である。

【図11】 長遅延マルチバスの処理のための拡散符号の設定を示すブロック図である。

【図12】 フェージング補正の計算方法を示す概念図である。

【図13】 図1の加算回路を示す回路図である。

【符号の説明】

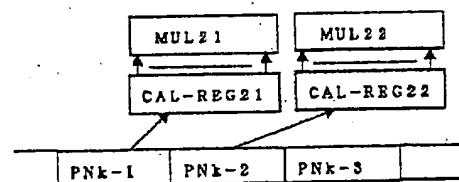
SHG1、SHG2... サンプルホールド回路グループ

SH11~SH1n、SH21~SH2n、SHp1~SHpS、SHm1~SHmR... サンプルホールド回路

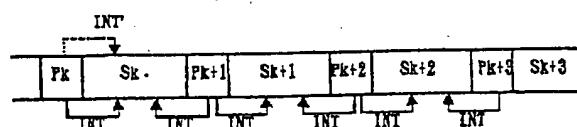
SEL11~SEL1, n... セレクタ

MUL01、MUL02、MUL11、MUL12、M

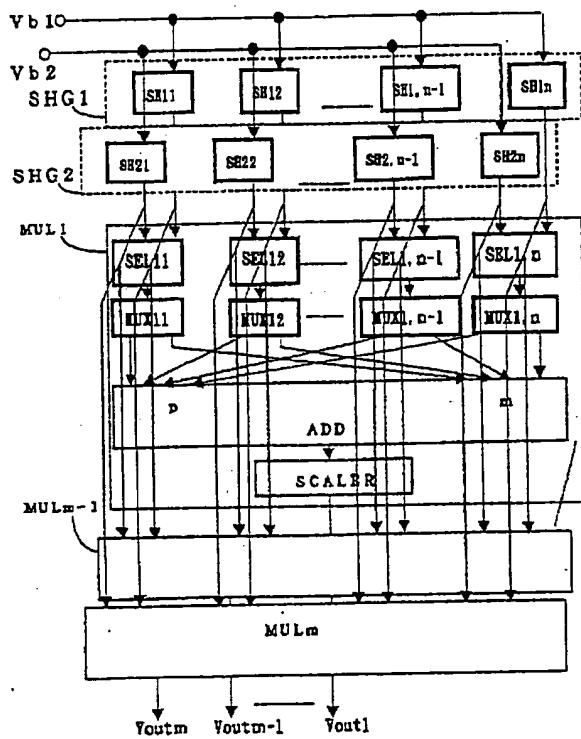
【図11】



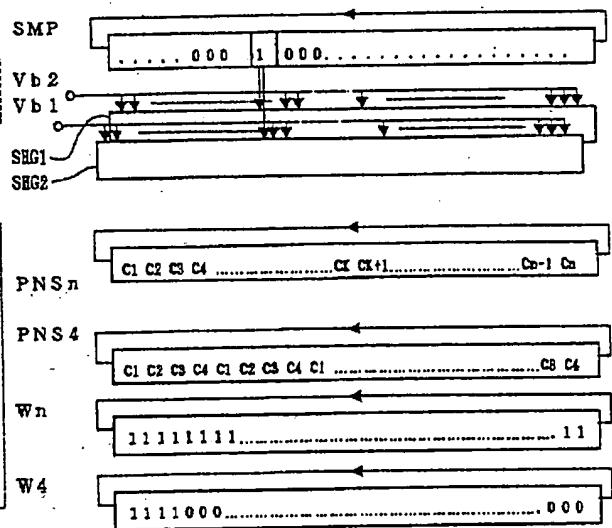
【図12】



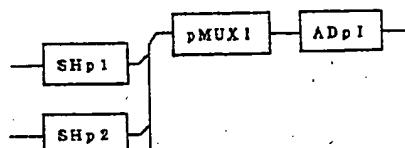
【図1】



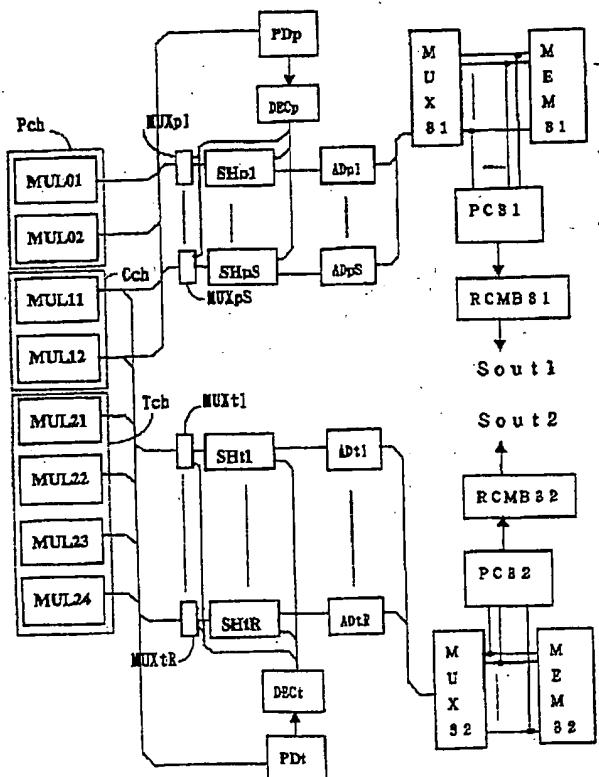
【図2】



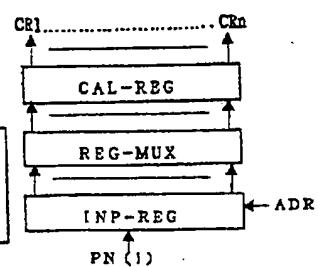
【図4】



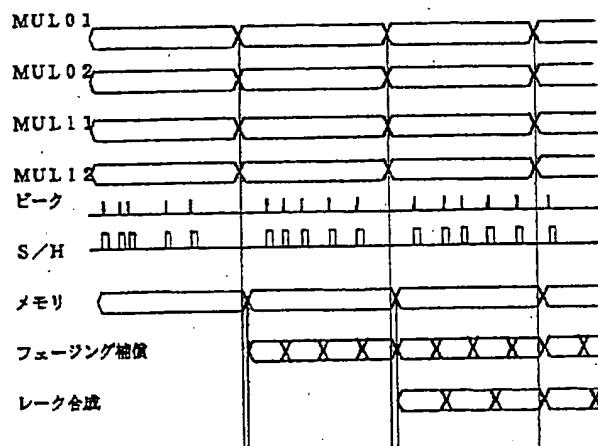
【図3】



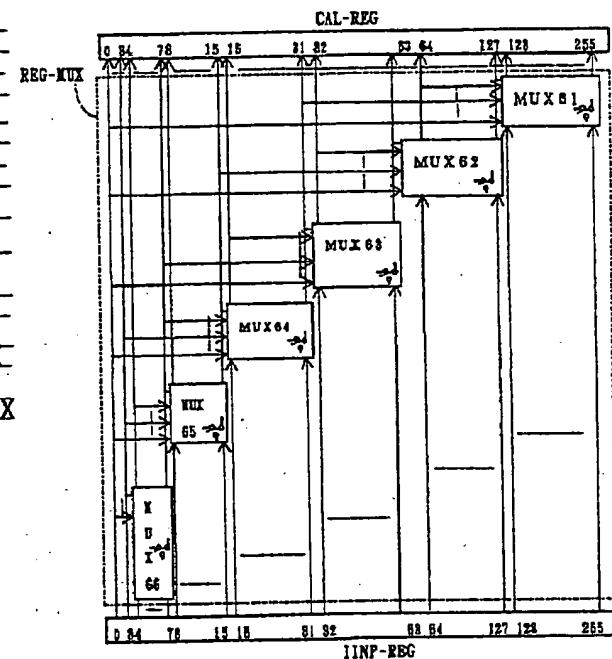
【図6】



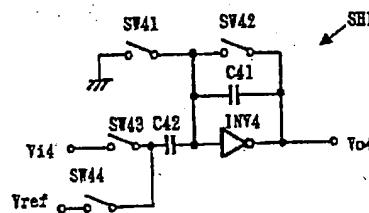
【図5】



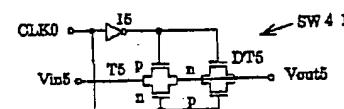
【図7】



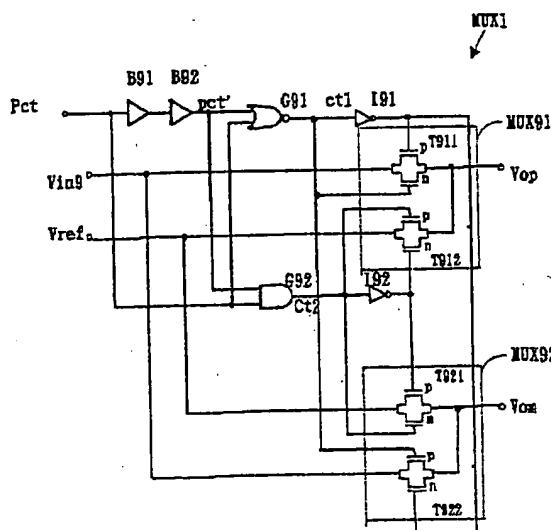
【図8】



【図9】



【図10】



【図13】

